

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033512

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

H01L 33/00  
H01L 21/205

(21)Application number : 2000-212932

(71)Applicant : NICHIA CHEM IND LTD

(22)Date of filing : 13.07.2000

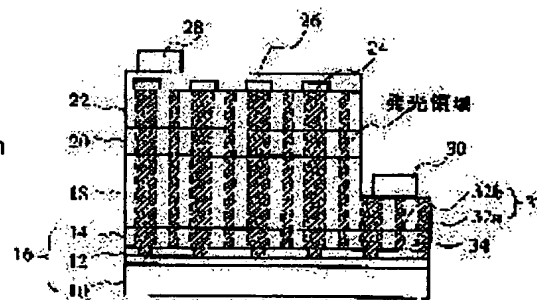
(72)Inventor : NAGAHAMA SHINICHI

## (54) NITRIDE SEMICONDUCTOR LIGHT EMITTING DIODE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a nitride semiconductor light emitting diode which has a sufficient light emitting area and is excellent in quantum efficiency and linearity though the diode uses a substrate in which low-dislocation density areas and high-dislocation density areas alternately exist like the ELOG-grown substrate.

**SOLUTION:** The LED chip of this nitride semiconductor light emitting diode is formed in such a large area that contains a plurality of low-dislocation density areas 34 and high-dislocation density areas 32 by using a nitride semiconductor substrate 16 in which the areas 34 and 32 alternately exist in short cycles and currents are concentrated to the areas 34 by means of current barrier layers 24 provided under a p-electrode 26. The barrier layers 24 can be formed by using AlGaN, etc., which forms a Schottky junction with the p-electrode 26.



## LEGAL STATUS

[Date of request for examination] 28.05.2003

[Date of sending the examiner's decision of rejection] 05.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 基板上に、n型窒化物半導体層と、p型窒化物半導体層と、前記p型窒化物半導体層のほぼ全面に形成された金属電極とを有する窒化物半導体発光ダイオードにおいて、

前記基板が、低転位密度領域と高転位密度領域が平面方向に交互に存在する窒化物半導体表面を有し、

前記高転位密度領域の少なくとも一部の上に、前記p型窒化物半導体層と前記金属電極の間に挟まれた電流障壁層を有することを特徴とする窒化物半導体発光ダイオード。

【請求項2】 前記電流障壁層が、前記金属電極とショットキ接合する窒化物半導体から成ることを特徴とする請求項1記載の窒化物半導体発光ダイオード。

【請求項3】 前記電流障壁層が、n型窒化物半導体から成り、前記p型窒化物半導体層との間に逆方向バイアスとなるpn接合を形成することを特徴とする請求項1又は2に記載の窒化物半導体発光ダイオード。

【請求項4】 前記電流障壁層が、 $Al_xGa_{1-x}N$  ( $0 < x \leq 1$ ) から成ることを特徴とする請求項2又は3記載の窒化物半導体発光ダイオード。

【請求項5】 前記電流障壁層が、 $Al_xGa_{1-x}N$  ( $0.5 < x \leq 1$ ) から成ることを特徴とする請求項2又は3記載の窒化物半導体発光ダイオード。

【請求項6】 前記電流障壁層が、絶縁性酸化物から成ることを特徴とする請求項1記載の窒化物半導体発光ダイオード。

【請求項7】 前記基板が、低転位密度領域と高転位密度領域が平面方向に交互に存在する窒化物半導体層の下側に、周期的なストライプ状、格子状又は島状パターンに形成されたマスク層を有することを特徴とする請求項1記載の窒化物半導体発光ダイオード。

【請求項8】 前記マスク層が、融点1200℃以上の金属、酸化ケイ素、窒化ケイ素、酸化チタン、酸化ジルコニウム、及びこれらの多層膜から成る群から選択された1種から成ることを特徴とする請求項7記載の窒化物半導体発光ダイオード。

【請求項9】 前記基板が、低転位密度領域と高転位密度領域が平面方向に交互に存在する窒化物半導体層の下側に、周期的なストライプ状、格子状又は島状に形成された窒化物半導体層を有することを特徴とする請求項1記載の窒化物半導体発光ダイオード。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、窒化物半導体 ( $In_xAl_yGa_{1-x-y}N$ ,  $0 \leq x$ ,  $0 \leq y$ ,  $x+y \leq 1$ ) を用いた発光ダイオードに関する。

## 【0002】

【従来の技術】 窒化物半導体は青色又は純緑色の高輝度な発光ダイオード (以下、LED) の材料として、フル

カラーLEDディスプレイ、交通信号灯、イメージスキャナー光源等の各種光源で実用化されている。また、窒化物半導体を用いた青色LEDは、黄色の蛍光を発する蛍光体を組み合わせることによって白色LEDとすることができる。白色LEDは、長寿命、低消費電力といったLEDの特性を生かして、既存の白色蛍光灯の代替光源として期待されている。現在、これらのLED素子は、サファイアや炭化ケイ素等の異種基板上に、GaN等よりなるバッファ層を介して、素子構造を形成するのが一般的である。

## 【0003】

【発明が解決しようとする課題】 しかし、サファイアや炭化ケイ素等の異種基板は窒化物半導体と格子整合しないため、基板との界面において発生した結晶転位がその上に形成された素子構造を貫通して進行し、LEDの発光層には一定の結晶転位が残っている。

【0004】 このため、窒化物半導体を用いた青色LEDの外部量子効率 $\eta_{ext}$ は15~18%に止まっており、これを使って白色LEDを構成した時の発光効率は未だ蛍光灯に及んでいない。また、現在の窒化物半導体LEDは、残存する結晶転位における非発光再結合のために、大電流を流した時の電流-光出力特性 ( $I-L$  特性) のリニアリティが悪く、大電流用途で安定的に使用することができないといった問題もある。

【0005】 一方、近年、より結晶性の良好な窒化物半導体素子を形成するために、異種基板上で窒化物半導体を横方向に成長させるELOG (Epitaxially Laterally Overgrown) 成長法が開発されている。窒化物半導体が横方向に成長する領域において、窒化物半導体と異種基板の界面において発生した転位は、窒化物半導体の成長と共に横方向にのみ進行するため、低転位密度の窒化物半導体を成長させることができる。

【0006】 例えば、サファイア等の異種基板上に成長させた窒化物ガリウム上に $SiO_2$ 等のマスクを部分的に形成し、この上に窒化ガリウムを成長させることにより低転位密度の窒化ガリウム基板を製造することができる。 $SiO_2$ 上には窒化ガリウムが直接成長しないため、マスクされていない領域を成長起点として、窒化ガリウムが横方向に成長する。したがって、 $SiO_2$ 上に成長した窒化ガリウムが低転位密度となる。

【0007】 しかし、こうしたELOG成長法による窒化物半導体基板においては、その原理上、低転位密度の領域が10~15 $\mu m$ の周期的なストライプ状にしか存在しない。一方、面発光を行う発光ダイオードは、必要な発光面積を確保するために、通常数百 $\mu m$ 角の広さの活性層を必要とする。このため、ELOG成長基板を用いても、活性層中に低転位密度領域と高転位密度領域が混在してしまい、十分な量子効率やリニアリティを持つ発光ダイオードを製造することは困難であった。

【0008】 そこで、本発明は、ELOG成長基板のよ

10

20

30

40

50

うに低転位密度領域と高転位密度領域が交互に存在する基板を用いながら、十分な発光面積を有し、かつ、量子効率やリニアリティに優れた窒化物半導体発光ダイオードを提供することを目的とする。

#### 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明は、基板上に、n型窒化物半導体層と、p型窒化物半導体層と、前記p型窒化物半導体層のほぼ全面に形成された金属電極とを有する窒化物半導体発光ダイオードにおいて、前記基板が、低転位密度領域と高転位密度領域が平面方向に交互に存在する窒化物半導体表面を有しており、前記高転位密度領域の少なくとも一部の上方に、前記p型窒化物半導体層と前記金属電極の間に挟まれた電流障壁層を有することを特徴とする。

【0010】即ち、本発明のLEDは、低転位密度領域と高転位密度領域が短周期に交互に存在する窒化物半導体基板を用いて、両方の領域が各々複数含まれるような大面積にチップを形成することによって発光面積を確保し、また、電流障壁層により低転位密度領域に電流を集中させることによって量子効率やリニアリティを向上させる。

【0011】ここで、高転位密度領域及び低転位密度領域とは、各々、単位面積あたりに存在する転位の数が相対的に多い領域及び少ない領域を指す。一般的なエピタキシャル成長をさせた場合、転位は成長方向に合わせて基板に略垂直に進行し、貫通転位を生じる。このため、基板の上にエピタキシャル成長させたn型窒化物半導体層及びp型窒化物半導体層には、基板の表面とほぼ同一の転位密度分布が存在する。転位数は、例えば、透過型電子顕微鏡による観察やウェットエッチングによるビットの数として評価することができる。尚、低転位密度領域の高転位密度領域に対する転位密度の比は、特に限定されるものではないが、 $1/10$ 以下、好ましくは $1/100$ 以下である。この時、低転位密度領域の欠陥密度としては、 $1 \times 10^{10}/\text{cm}^2$ 以下であり、好ましくは $1 \times 10^8/\text{cm}^2$ 以下となるものである。高転位密度領域の欠陥密度としては、 $1 \times 10^{10}/\text{cm}^2$ 以上であり、欠陥が多い場合には $1 \times 10^{13}/\text{cm}^2$ 以上となるものである。

【0012】本発明のLEDにおいて、p型窒化物半導体層からn型窒化物半導体層に向かって流れる電流は、電流障壁層の形成されていない低転位密度領域から流れ始めるが、一般に、p型窒化物半導体層はn型窒化物半導体層に比べて高い抵抗率を有するため、p型窒化物半導体層内を通過する時には電流はあまり広がらない。したがって、p型窒化物半導体層とn型窒化物半導体層の間に存在する発光層において、低転位密度領域に電流を集中することができる。これにより、発光層内における非発光再結合を抑制して、窒化物半導体LEDの内部量子効率及びI-L特性のリニアリティを向上することが

できる。

【0013】電流障壁層は、金属電極とショットキ接合する窒化物半導体、例えば、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ )を用いて形成することが好ましい。これにより、p型用金属電極と電流障壁層との間にショットキ障壁が形成され、高転位密度領域に流れる電流を遮断することができる。電流障壁層を構成する $\text{Al}_x\text{Ga}_{1-x}\text{N}$ は、Al含有率が高い程バンドギャップエネルギー( $E_g$ )が大きくなり、p型用金属電極とショットキ接合し易くなる。したがって、良好なショットキ障壁を形成する観点からは、Al含有率が高い程有利であり、Al含有率(=x)を0.5よりも大きく設定することが好ましい。

【0014】また、電流障壁層を構成する窒化物半導体の導電型をn型とすることによって、電流障壁層とp型窒化物半導体層との間に逆方向バイアスとなるpn接合を形成することが好ましい。この逆バイアスとなるpn接合によって、高転位密度領域に流れる電流を一層抑制することができる。例えば、p型窒化物半導体層の上に $\text{Al}_x\text{Ga}_{1-x}\text{N}$ を電流障壁層として成長させる際に、シリコン等のn型ドーパントを添加することにより、逆バイアスとなるpn接合を形成することができる。

【0015】また、電流障壁層を窒化物半導体によって形成する代りに、 $\text{SiO}_2$ 又は $\text{TiO}_2$ 等の絶縁性酸化物を用いて電流障壁層を形成しても良い。

【0016】本発明に用いる基板は、低転位密度領域と高転位密度領域が表面に交互に存在する基板であれば特に限定されないが、例えば、ELOG成長法によって形成された窒化物半導体基板を用いることができる。ELOG成長法には、種々の方法が考えられる。例えば、マスクパターンを用いてELOG成長を行う場合、周期的なストライプ状、格子状又は島状パターンのマスク層を形成しておけば、その上に成長した窒化物半導体層に低転位密度領域と高転位密度領域が平面方向に交互に現れる。マスク層は、融点 $1200^\circ\text{C}$ 以上の金属、酸化ケイ素、窒化ケイ素、酸化チタン、酸化ジルコニウム、又はこれらの多層膜によって形成することができる。

【0017】また、マスクパターンに代えて、周期的なストライプ状、格子状又は島状に形成された窒化物半導体層を形成しておいても良い。この場合にも、その上に成長した窒化物半導体層に低転位密度領域と高転位密度領域が平面方向に交互に現れる。

#### 【0018】

【発明の実施の形態】以下に本発明の実施の形態について図面を参照しながら説明する。各図において同一の符号を付した部材は、同一又は対応する部材を表す。また、図1～5に示す断面図において、図面の簡単のために、ハッチングを省略している。

#### 【0019】実施の形態1

図1は、本発明に係る窒化物半導体LEDの一例を示す模式的断面図である。基板16の上に、n型層18、活

5

性層20、p型層22が順次積層されている。これらの層は、いずれも、窒化物半導体  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x, 0 \leq y, x+y \leq 1$ ) から成り、単一の組成であっても、複数の組成を積層したものであっても良い。p型層22及び活性層20は、n型層18の一部が露出するようにエッチングされており、その露出面にW/A1等から成るn型電極30が形成されている。一方、p型層22のほぼ全面に、Ni/Au等の金属薄膜から成る透光性のp型電極(=金属電極)26がp型層22にオーミック接触するように形成されている。また、p型電極26の上に、ボンディング用のAu等のpパッド電極28が形成されている。

【0020】基板16は、サファイア等の異種基板10上に、ストライプ状の $\text{SiO}_2$ マスク12を用いて窒化ガリウム層14をELOG成長させて成り、その表面には、高転位密度領域32と低転位密度領域34が交互に存在している。後に詳述するように、マスクを用いたELOG成長基板において、高転位密度領域32は、マスク12の間の領域(窓領域32a)と、マスク12の中央付近で窒化ガリウム14同士が互いに接合する領域(接合領域32b)とに現れる。基板16の上にエピタキシャル成長させたn型層18、活性層20及びp型層22には、図中点線で示すように、基板16の表面とほぼ同一の転位密度分布が存在している。尚、図1において、ハッチングを付した領域は、基板16及び活性層20における高転位密度領域を表す。

【0021】高転位密度領域32の上方であって、p型窒化物半導体層とp型電極26の間には、電流障壁層24が形成されており、活性層20を流れる電流が低転位密度領域34に集中するように、電流経路を制限する役割を果たす。本実施の形態においては、発光面積を広く確保するために、上述した2種類の高転位密度領域32のうち窓領域32aの上方にのみ電流障壁層24を形成している。電流障壁層24は、p型電極26とショットキ接合する窒化物半導体、例えば、ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ) から成り、透光性p型電極26との間にショットキ障壁を形成することによってLED内を流れる電流の経路を制限する。

【0022】図2は、本発明における窒化物半導体発光ダイオードを流れる電流経路を示す模式図である。尚、図2において、高転位密度領域と低転位密度領域の構成は図1に比べて簡略化している。図に示すように、p型電極26からn型電極30に向かって流れる電流は、電流障壁層24の形成されていない低転位密度領域34から流れ始め、p型層22、活性層20、及びn型層18を経てn型電極30に至る。一般に、p型窒化物半導体層は、n型窒化物半導体層よりも数倍高い抵抗率を有するため、p型層22内を通過する時には電流はあまり広がらない。これは、窒化ガリウム系化合物半導体の場合、n型とp型の抵抗率の比は1:100程度であるこ

6

とに大きく起因するものである。したがって、図2に示すように、活性層22においても、電流障壁層24による電流経路制限の効果は維持され、低転位密度領域34に電流が集中する。これにより、活性層22内における非発光再結合が抑制されるため、窒化物半導体LEDの内部量子効率が向上し、また、大電流域におけるI-L特性のリニアリティが保たれる。

【0023】電流障壁層24を構成する $\text{Al}_x\text{Ga}_{1-x}\text{N}$ は、Al含有率が高い程仕事関数が大きくなり、透光性p型電極を構成するNi又はAu等の金属とショットキ接合し易くなる。したがって、良好なショットキ障壁を形成する観点からは、Al含有率が高い程有利であり、Al含有率を0.5よりも大きく設定することが好ましい。逆に、電流障壁層24と接するp型層22の最上層は、Ni又はAu等の金属とオーミック接合し易い必要があり、例えば、Alを含まないGaNによって形成されている。尚、電流障壁層24は、電流の漏洩を防止するためにできるだけ緻密な膜であることが有利であり、p型層22の上にエピタキシャル成長できる組成であることが好ましい。

【0024】また、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ から成る電流障壁層22の膜厚は、トンネル電流の通過を抑制するのに十分な膜厚とする必要があり、好ましくは100Å以上とする。また、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0.5 < x$ ) から成る電流障壁層22を、GaNから成るp型層22の上に形成する場合、あまり厚く形成するとクラックが発生するため、0.1μm以下、好ましくは500Å以下に形成することが望ましい。

【0025】また、電流障壁層24として、ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ に代えて、シリコン等のn型ドーパントを添加したn型 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ を形成しても良い。電流障壁層24をn型窒化物半導体とすることにより、電流障壁層24とp型層22との間に逆方向バイアスとなるpn接合を形成し、高転位密度領域32を通過する電流をさらに効果的に抑制することができる。

【0026】また、電流障壁層24として、窒化物半導体に代えて、 $\text{SiO}_2$ 又は $\text{TiO}_2$ 等の絶縁性酸化物を形成しても良い。

【0027】次に、基板16について説明する。図3は、基板16の製造方法を示す模式断面図である。サファイア基板10の上にバッファ層(図示せず)を成長させた後、アンドープGaN層11を成長させる。基板10はサファイアその他、 $\text{SiC}$ 、 $\text{ZnO}$ 、スピネル、GaAs等窒化物半導体を成長させるために知られている、窒化物半導体と異なる材料よりなる基板を用いることができる。

【0028】次にこのアンドープGaN層11の成長後、図3(a)に示すように、このGaN層11の表面に、ストライプ状のフォトマスクを形成し、 $\text{SiO}_2$ よりなるマスク12を形成する。マスク12の形状として

はストライプ状、格子状、島状などのような形状でも良いが、アンドープGa<sub>0.9</sub>N層11の露出部分、即ちマスクが形成されていない部分(窓部)よりもマスク12の面積を大きくする方が、結晶欠陥の少ないGa<sub>0.9</sub>N層14を成長させやすい。マスク12の材料としては、例えば酸化ケイ素(SiO<sub>2</sub>)、窒化ケイ素(Si<sub>3</sub>N<sub>4</sub>)、酸化チタン(TiO<sub>2</sub>)、酸化ジルコニウム(ZrO<sub>2</sub>)等の酸化物、窒化物、またこれらの多層膜の他、1200℃以上の融点を有する金属等を用いることができる。これらのマスク材料は、窒化物半導体の成長温度600℃～1100℃の温度にも耐え、その表面に窒化物半導体が成長しないか、成長しにくい性質を有している。

【0029】マスク12を形成後、図3(b)に示すように、アンドープGa<sub>0.9</sub>N層14を成長させる。成長させるGa<sub>0.9</sub>N層14の好ましい成長膜厚は、先に形成したマスク12の膜厚、大きさによっても異なるが、マスク12の上部において横方向(厚さ方向に垂直な方向)にも成長してマスク12の表面を覆うように十分の厚さに成長させる。このように窒化物半導体が成長しにくい性質を有するマスク12の表面上に、横方向にGa<sub>0.9</sub>N層14を成長させる手法で製造すると、最初はマスク12の上にはGa<sub>0.9</sub>N層14が成長せず、窓部のアンドープGa<sub>0.9</sub>N層11の上にGa<sub>0.9</sub>N層14が選択成長される。

【0030】続いて、図3(c)に示すように、Ga<sub>0.9</sub>N層14の成長を続けると、Ga<sub>0.9</sub>N層14が横方向に成長して、マスク12の上に覆いかぶさって行き、隣接した窓から成長したGa<sub>0.9</sub>N層14同士でつながって、マスク12の上にGa<sub>0.9</sub>N層が成長したかのような状態となる。つまり、Ga<sub>0.9</sub>N層上にマスク12を介してGa<sub>0.9</sub>N層14を横方向に成長させる。

【0031】ここで、異種基板と窒化物半導体との格子定数のミスマッチにより、異種基板の上に成長される窒化物半導体には非常に多くの結晶欠陥が発生し、この結晶欠陥は順次上層に形成される窒化物半導体成長中を縦方向に進行して表面まで伝わる。一方、マスク12上に横方向に成長されたGa<sub>0.9</sub>N層14は、異種基板上に直接成長したものではなく、隣接する窓から成長させたGa<sub>0.9</sub>N層14が、マスク12上に横方向に成長することにより成長中につながったものであるため、結晶欠陥の数は異種基板から直接成長したものに比べて非常に少なくなる。したがって、こうして成長させたGa<sub>0.9</sub>N層14は、異種基板から直接成長した窓領域32a及び横方向に成長したGa<sub>0.9</sub>N層14が互いに接合した接合領域32bを除いて、転位の数が少ない結晶となる。アンドープGa<sub>0.9</sub>N層11の転位は $10^{10}/\text{cm}^2$ 以上あるが、この方法によるGa<sub>0.9</sub>N層14の低転位密度領域34における転位は $10^8/\text{cm}^2$ 以下に減少させることができる。

【0032】尚、窒化ガリウム層14を十分な厚膜に形成した場合、窒化ガリウム層14以外の異種基板10等を切除して、窒化ガリウム単体によって基板16を構成

しても良い。

【0033】また、本発明において、基板16は、低転位密度領域と高転位密度領域が面内に交互に現れる基板であれば良く、図3に示す方法で製造されたものには限られない。例えば、SiO<sub>2</sub>マスクを形成する代りに、サファイア等の異種基板上に成長した窒化ガリウム系化合物半導体層をストライプ状(又は、格子状若しくは島状)にエッチングしてサファイア基板を部分的に露出させ、この上に窒化ガリウムを成長させることによって、低転位密度の窒化ガリウム基板を製造することができる。窒化ガリウムはサファイア基板には直接エピタキシャル成長しにくいいため、ストライプ状の窒化ガリウム層を成長起点として、窒化ガリウムが横方向に成長する。したがって、サファイア基板の露出部分の上に成長した窒化ガリウムが低転位密度となる。

【0034】また、サファイア等の異種基板上に窒化ガリウム系化合物半導体層を成長させた後、異種基板を露出しない深さで凹凸を形成し、その上に窒化ガリウムを成長させることによって基板16を製造しても良い。さらにまた、サファイア等の異種基板自身に周期的な凹凸を形成し、その上に窒化ガリウムを成長させて基板16を製造しても良い。

【0035】本実施の形態においては、n型層18、活性層20、及びp型層22を積層したダブルヘテロ構造のLEDについて説明したが、本発明はこれに限られない。例えば、n型窒化物半導体層とp型窒化物半導体層を積層したpn接合構造のLEDであっても良い。

#### 【0036】実施の形態2

図4は、本発明の実施の形態2に係る窒化物半導体LEDを示す断面図である。図4に示す窒化物半導体LEDは、電流障壁層24の形成位置を除いて、実施の形態1における窒化物半導体LEDと同様である。

【0037】実施の形態1においては、2種類の高転位密度領域である窓領域32a及び接合領域32bのうち、窓領域32aの上方にのみ電流障壁層24を形成した。本実施の形態においては、さらに、接合領域32bの上方にも電流障壁層24を形成する。これにより、発光面積はやや減少するものの、活性層20における非発光再結合の発生をより効果的に抑制して、内部量子効率及びI-L特性のリニアリティをさらに向上することができる。

#### 【0038】実施の形態3

図5は、本発明の実施の形態3に係る窒化物半導体LEDを示す断面図である。図5に示す窒化物半導体LEDは、基板16の構成及び電流障壁層24の形成位置を除いて、実施の形態1又は2と同様である。

【0039】本実施の形態においては、基板16の製造中にELOG成長を2回行うことにより、より転位密度の小さな窒化物半導体層を成長させる。まず、図3を用いて説明したのと同様の方法によって、第1マスク12

aを用いて1回目のELOG成長を行い、第1窒化ガリウム層14aを成長させる。続いて、1回目のELOG成長によって形成された窓領域の上方に、第1マスク12aと同じ形状の第2マスク12bを形成し、2回目のELOG成長を行う。2回目のELOG成長によって形成された第2窒化ガリウム層14bには、実施の形態1又は2と同様に窓領域及び接合領域の2種類の高転位密度領域が存在するが、低転位密度領域の転位密度は実施の形態1又は2に比べて低減されている。

【0040】こうして得られた基板16の上に発光ダイオードの素子構造を形成し、実施の形態2と同様に、全ての高転位密度領域に対応して電流障壁層24を形成する。この構成により、活性層20における非発光再結合の発生をより一層効果的に抑制して、内部量子効率及びI-L特性のリニアリティをまたさらに向上することができる。

【0041】

【実施例】以下に、本発明の一実施の形態である実施例を示すが、本発明はこれに限定されない。図1及び図3を元に実施例について説明する。

【0042】実施例

(基板16の製造) 2インチφ、(0001)C面を主面とするサファイア基板10の上に500℃にて、Ga<sub>2</sub>Nよりなるバッファ層(図示せず)を200オングストロームの膜厚で成長させた後、温度を1050℃にしてアンドープGa<sub>2</sub>N層11を5μm膜厚で成長させる。尚、この成長させる膜厚は、5μmに限定されるものではなく、バッファ層よりも厚い膜厚で成長させて、10μm以下の膜厚に調整することが望ましい。次にこのアンドープGa<sub>2</sub>N層11の成長後、ウェーハを反応容器から取り出し、このGa<sub>2</sub>N層の表面に、ストライプ状のフォトリソマスクを形成し、CVD装置によりストライプ幅15μm、ストライプ間隔(窓部)5μmのSiO<sub>2</sub>よりなるマスク12を0.1μmの膜厚で形成する。マスク12を形成後、ウェーハを再度反応容器内にセットし、1050℃で、アンドープGa<sub>2</sub>N層14を10μmの膜厚に成長させる。アンドープGa<sub>2</sub>N層11の結晶欠陥は $10^{10}/\text{cm}^2$ 以上であったが、Ga<sub>2</sub>N層14の結晶欠陥は $10^6/\text{cm}^2$ 以下であった。

【0043】(n型層18) 次に、n型コンタクト層、n側第1多層膜層、及びn側第2多層膜層から成るn型層18を形成する。まず、1050℃で、同じく原料ガスにTMG、アンモニアガス、不純物ガスにシランガスを用い、Siを $4.5 \times 10^{18}/\text{cm}^3$ ドープしたGa<sub>2</sub>Nよりなるn側コンタクト層を2.25μmの膜厚で成長させる。次にシランガスのみを止め、1050℃で、TMG、アンモニアガスを用い、アンドープGa<sub>2</sub>N層を75オングストロームの膜厚で成長させ、続いて同温度にてシランガスを追加しSiを $4.5 \times 10^{18}/\text{cm}^3$ ドープしたGa<sub>2</sub>N層を25オングストロームの膜厚で成長さ

せる。このようにして、75オングストロームのアンドープGa<sub>2</sub>N層からなるA層と、SiドープGa<sub>2</sub>N層を有する25オングストロームのB層とからなるペアを成長させる。そしてペアを25層積層して2500オングストローム厚として、超格子構造の多層膜よりなるn側第1多層膜層を成長させる。

【0044】次に、同様の温度で、アンドープGa<sub>2</sub>Nよりなる第2の窒化物半導体層を40オングストローム成長させ、次に温度を800℃にして、TMG、TMI、アンモニアを用い、アンドープIn<sub>0.13</sub>Ga<sub>0.87</sub>Nよりなる第1の窒化物半導体層を20オングストローム成長させる。そしてこれらの操作を繰り返し、第2+第1の順で交互に10層ずつ積層させ、最後にGa<sub>2</sub>Nよりなる第2の窒化物半導体層を40オングストローム成長させた超格子構造の多層膜よりなるn側第2多層膜層を640オングストロームの膜厚で成長させる。

【0045】(活性層20) 次に、アンドープGa<sub>2</sub>Nよりなる障壁層を250オングストロームの膜厚で成長させ、続いて温度を800℃にして、TMG、TMI、アンモニアを用いアンドープIn<sub>0.3</sub>Ga<sub>0.7</sub>Nよりなる井戸層を30オングストロームの膜厚で成長させる。そして障壁+井戸+障壁+井戸・・・+障壁の順で障壁層を7層、井戸層を6層、交互に積層して、総膜厚1930オングストロームの多重量子井戸構造よりなる活性層20を成長させる。

【0046】(p型層22) 次に、p側多層膜クラッド層及びp側コンタクト層から成るp型層22を形成する。まず、温度1050℃でTMG、TMA、アンモニア、Cp<sub>2</sub>Mg(シクロペンタジエニルマグネシウム)を用い、Mgを $1 \times 10^{20}/\text{cm}^3$ ドープしたp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nよりなる第3の窒化物半導体層を40オングストロームの膜厚で成長させ、続いて温度を800℃にして、TMG、TMI、アンモニア、Cp<sub>2</sub>Mgを用いMgを $1 \times 10^{20}/\text{cm}^3$ ドープしたIn<sub>0.03</sub>Ga<sub>0.97</sub>Nよりなる第4の窒化物半導体層を25オングストロームの膜厚で成長させる。そしてこれらの操作を繰り返し、第3+第4の順で交互に5層ずつ積層し、最後に第3の窒化物半導体層を40オングストロームの膜厚で成長させた超格子構造の多層膜よりなるp側多層膜クラッド層を365オングストロームの膜厚で成長させる。続いて1050℃で、TMG、アンモニア、Cp<sub>2</sub>Mgを用い、Mgを $1 \times 10^{20}/\text{cm}^3$ ドープしたp型Ga<sub>2</sub>Nよりなるp側コンタクト層を700オングストロームの膜厚で成長させる。

【0047】反応終了後、温度を室温まで下げ、さらに窒素雰囲気中、ウェーハを反応容器内において、700℃でアニーリングを行い、p型層をさらに低抵抗化する。

【0048】(電流障壁層24) 次に、1050℃で、原料ガスにTMG、アンモニアガス、TMAを用い、ノ

ンドープ $\text{Al}_x\text{Ga}_{1-x}\text{N}$ よりなる電流障壁層24を200Åの膜厚で成長させる。 $\text{SiO}_2$ マスク12のマスク間に相当する位置を残して、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層24をストライプ形状にエッチング除去する。

【0049】(p型電極26、n型電極30)次に、ウェーハを反応容器から取り出し、表面に所定の形状のマスクを形成し、RIE(反応性イオンエッチング)装置でp型層22側からエッチングを行い、図1に示すようにn型層18内のn側コンタクト層の表面を露出させる。

【0050】エッチング後、最上層にあるp型層22及び電流障壁層24を覆って、p型層22のほぼ全面に、膜厚200オングストロームのNiとAuを含む透光性のp電極26と、そのp電極26の上にボンディング用のAuよりなるpパッド電極28を0.5μmの膜厚で形成する。一方、エッチングにより露出させたn側コンタクト層の表面にはWとAlを含むn電極30を形成してLED素子とした。

#### 【0051】比較例

ELOG成長させた基板16の代りに、以下に説明する基板を用いた点、及び電流障壁層24を形成しない点を除いては、実施例と同じ方法によってLED素子を作製した。

【0052】(基板)サファイア(C面)よりなる基板をMOVPEの反応容器内にセットし、水素を流しながら、基板の温度を1050℃まで上昇させ、基板のクリーニングを行う。続いて、温度を510℃まで下げ、キャリアガスに水素、原料ガスにアンモニアとTMG(トリメチルガリウム)とを用い、基板16上にGa<sub>2</sub>Nよりなるバッファ層を約150オングストロームの膜厚で成長させる。バッファ層成長後、TMGのみ止めて、温度を1050℃まで上昇させる。1050℃になったら、同じく原料ガスにTMG、アンモニアガスを用い、アンドープGa<sub>2</sub>N層を1.5μmの膜厚で成長させる。

【0053】実施例及び比較例において得られたLED素子は、順方向電流20mAにおいて、470nmの純青色発光を示した。図6は、実施例及び比較例で得られたLEDについて、電流-光出力特性を測定した結果を示すグラフである。図に示すように、比較例のLEDにおいては、順方向電流値が約25mA以上でリニアリティが悪くなり、約100mAで光出力は飽和に達した。一方、実施例のLEDにおいては、順方向電流値が75

mAにおいても良好なリニアリティを維持しており、約125mAで光出力が飽和に達した。また、順方向電流値が100mAの時の外部微分量子効率を測定したところ、比較例のLEDでは約15~18%であったのに対し、実施例のLEDでは20~22%に向上していた。

#### 【0054】

【発明の効果】本発明によれば、低転位密度領域と高転位密度領域が短周期に交互に存在する窒化物半導体基板を用いて、両方の領域が各々複数含まれるような大面積にLEDチップを形成し、p電極の下側に設けた電流障壁層により低転位密度領域に電流を集中させたため、十分な発光面積を有し、かつ、量子効率やリニアリティに優れた窒化物半導体発光ダイオードを提供することができる。

#### 【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態1に係る窒化物半導体LEDを示す模式断面図である。

【図2】 図2は、本発明に係る窒化物半導体LEDにおける電流経路を示す模式図である。

【図3】 図3(a)から(c)は、本発明に係る窒化物半導体LEDに用いる窒化物半導体基板の製造方法を示す概略工程図である。

【図4】 図4は、本発明の実施の形態2に係る窒化物半導体LEDを示す模式断面図である。

【図5】 図5は、本発明の実施の形態3に係る窒化物半導体LEDを示す模式断面図である。

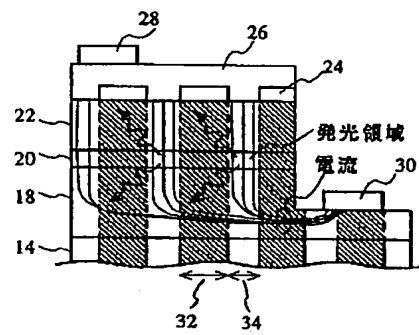
【図6】 図6は、実施例及び比較例の窒化物半導体LEDの電流-光出力特性を示すグラフである。

#### 【符号の説明】

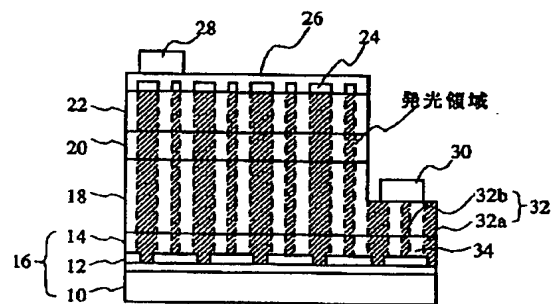
- 10・・・サファイア基板、
- 12・・・ $\text{SiO}_2$ マスク、
- 14・・・窒化ガリウム層、
- 16・・・基板、
- 18・・・n型層、
- 20・・・活性層、
- 22・・・p型層、
- 24・・・電流障壁層、
- 26・・・p型電極(=金属電極)、
- 28・・・pパッド、
- 30・・・n電極、
- 32・・・高転位密度領域、
- 34・・・低転位密度領域。



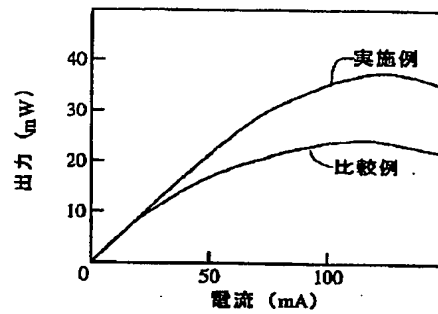
【図2】



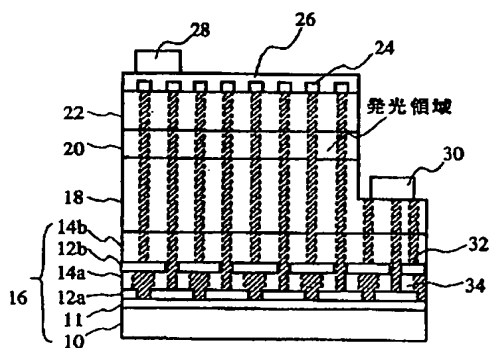
【図4】



【図6】



【図5】



フロントページの続き

F ターム(参考) 5F041 AA03 AA40 CA02 CA05 CA08  
CA34 CA35 CA40 CA46 CA65  
CA67 CA74 CA82 CA92 CB36  
FF01  
5F045 AA04 AB14 AB17 AC01 AC08  
AC12 AD14 AF02 AF04 AF09  
BB12 BB16 CA10 DA53 DB02  
DB04 DB06

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

**[Claim(s)]**

[Claim 1] In the nitride semi-conductor light emitting diode which has on a substrate n mold nitride semi-conductor layer, p mold nitride semi-conductor layer, and the metal electrode of said p mold nitride semi-conductor layer mostly formed in the whole surface Said substrate has the nitride semi-conductor front face where a low dislocation density field and a high dislocation density field exist in the direction of a flat surface by turns. Nitride semi-conductor light emitting diode characterized by having said p mold nitride semi-conductor layer and the current barrier layer inserted between said metal electrodes in some [ at least ] upper parts of said high dislocation density field.

[Claim 2] Nitride semi-conductor light emitting diode according to claim 1 characterized by said current barrier layer consisting of the nitride semi-conductor which carries out the Schottky barrier to said metal electrode.

[Claim 3] Nitride semi-conductor light emitting diode according to claim 1 or 2 characterized by forming the pn junction from which said current barrier layer consists of n mold nitride semi-conductor, and serves as reverse bias between said p mold nitride semi-conductor layers.

[Claim 4] Nitride semi-conductor light emitting diode according to claim 2 or 3 with which said current barrier layer is characterized by consisting of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ).

[Claim 5] Nitride semi-conductor light emitting diode according to claim 2 or 3 with which said current barrier layer is characterized by consisting of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0.5 < x \leq 1$ ).

[Claim 6] Nitride semi-conductor light emitting diode according to claim 1 with which said current barrier layer is characterized by consisting of an insulating oxide.

[Claim 7] Nitride semi-conductor light emitting diode according to claim 1 with which said substrate is characterized by having the mask layer formed in the nitride semi-conductor layer bottom to which a low dislocation density field and a high dislocation density field exist in the direction of a flat surface by turns at the shape of a periodic stripe, the shape of a grid, and an island-shape pattern.

[Claim 8] Nitride semi-conductor light emitting diode according to claim 7 with which said mask layer is characterized by consisting of one sort chosen from a metal with a melting point of 1200 degrees C or more, silicon oxide, silicon nitride, titanium oxide, the zirconium dioxide, and the group that consists of these multilayers.

[Claim 9] Nitride semi-conductor light emitting diode according to claim 1 with which said substrate is characterized by having the nitride semi-conductor layer formed in the nitride semi-conductor layer bottom to which a low dislocation density field and a high dislocation density field exist in the direction of a flat surface by turns at the shape of a periodic stripe, the shape of a grid, and island shape.

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the light emitting diode which used the nitride semiconductor ( $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ,  $0 \leq x$ ,  $0 \leq y$ ,  $x+y \leq 1$ ).

[0002]

[Description of the Prior Art] a nitride semi-conductor -- blue or pure green -- high -- it is put in practical use as an ingredient of a brightness light emitting diode (following, LED) in the various light sources, such as a full color LED display, a traffic light, and the image scanner light source. Moreover, blue LED using a nitride semi-conductor can be made into white LED by combining the fluorescent substance which emits yellow fluorescence. White LED is expected as the alternative light source of the existing white fluorescent lamp taking advantage of the property of LED, such as long lasting and a low power. As for current and these LED components, it is common to form component structure on different-species substrates, such as sapphire and silicon carbide, through the buffer layer which consists of GaN etc.

[0003]

[Problem(s) to be Solved by the Invention] However, in order not to carry out lattice matching of the different-species substrates, such as sapphire and silicon carbide, to a nitride semi-conductor, the crystal rearrangement generated in the interface with a substrate penetrated the component structure formed on it, and advanced, and the fixed crystal rearrangement remains in the luminous layer of LED.

[0004] For this reason, the external quantum efficiency of blue LED using a nitride semi-conductor has stopped to 15 - 18%, and the luminous efficiency when constituting white LED using this has not yet attained to a fluorescent lamp. Moreover, the present nitride semi-conductor LED also has the problem that the linearity of the current-optical output property (I-L property) when passing a high current is bad, and cannot use it stably for a high current application because of the nonluminescent recombination in the crystal rearrangement which remains.

[0005] ELOG which grows up a nitride semi-conductor into a longitudinal direction on a different-species substrate in order to form a crystalline good nitride semiconductor device on the other hand recent years more (Epitaxially Laterally OverGrown) The grown method is developed. Since the rearrangement which the nitride semi-conductor generated in the interface of a nitride semi-conductor and a different-species substrate in the field which grows up to be a longitudinal direction advances only in a longitudinal direction with growth of a nitride semi-conductor, it can grow up the nitride semi-conductor of low dislocation density.

[0006] For example, the mask of  $\text{SiO}_2$  grade can be partially formed on the nitride gallium grown up on different-species substrates, such as sapphire, and the gallium nitride substrate of low dislocation density can be manufactured by growing up gallium nitride on this. In order that gallium nitride may not grow directly on  $\text{SiO}_2$ , gallium nitride grows up to be a longitudinal direction by making into a growth origin the field by which a mask is not carried out. Therefore, the gallium nitride which grew on  $\text{SiO}_2$  serves as low dislocation density.

[0007] However, in the nitride semi-conductor substrate by such ELOG grown method, it exists on the principle only in the shape of [ whose field of low dislocation density is 10-15 micrometers / periodic ] a stripe. On the other hand, the light emitting diode which performs field luminescence usually needs the barrier layer of the size of hundreds of micrometer angle, in order to secure a required luminescence area. For this reason, even if it used the ELOG growth substrate, it was difficult to manufacture the light emitting diode which a low dislocation density field and a high dislocation density field are intermingled,

and has sufficient quantum efficiency and linearity in a barrier layer.

[0008] Then, this invention aims at offering the nitride semi-conductor light emitting diode which has sufficient luminescence area and was excellent in quantum efficiency or linearity, using the substrate with which a low dislocation density field and a high dislocation density field exist by turns like an ELOG growth substrate.

[0009]

[Means for Solving the Problem] In the nitride semi-conductor light emitting diode with which this invention has on a substrate n mold nitride semi-conductor layer, p mold nitride semi-conductor layer, and the metal electrode of said p mold nitride semi-conductor layer mostly formed in the whole surface in order to attain the above-mentioned purpose Said substrate is characterized by having the nitride semi-conductor front face where a low dislocation density field and a high dislocation density field exist in the direction of a flat surface by turns, and having the current barrier layer inserted into some [ at least ] upper parts of said high dislocation density field between said p mold nitride semi-conductor layers and said metal electrodes.

[0010] That is, LED of this invention raises quantum efficiency and linearity by securing luminescence area and centralizing a current on a low dislocation density field by the current barrier layer by forming a chip in a large area in which two or more both fields are included respectively using the nitride semi-conductor substrate with which a low dislocation density field and a high dislocation density field exist in a short period by turns.

[0011] Here, the number of rearrangements with which a high dislocation density field and a low dislocation density field exist in per unit area respectively points out many fields and few fields relatively. When general epitaxial growth is carried out, a rearrangement advances to a substrate at an abbreviation perpendicular according to the growth direction, and produces a penetration rearrangement. For this reason, the almost same dislocation density distribution as the front face of a substrate exists in n mold nitride semi-conductor layer and p mold nitride semi-conductor layer which carried out epitaxial growth on the substrate. The number of rearrangements can be evaluated as the number of the pits by observation by the transmission electron microscope, or wet etching. In addition, although especially the ratio of the dislocation density to the high dislocation density field of a low dislocation density field is not limited, it is 1/100 or less preferably 1/10 or less. At this time, as defect density of a low dislocation density field, it is two or less  $1 \times 10^{10}$ -/cm, and is preferably set to two or less  $1 \times 10^8$ -/cm. As defect density of a high dislocation density field, it is two or more  $1 \times 10^{10}$ -/cm, and when there are many defects, it is set to two or more  $1 \times 10^{13}$ -/cm.

[0012] In LED of this invention, although the current which flows toward n mold nitride semi-conductor layer from p mold nitride semi-conductor layer begins to flow from the low dislocation density field in which a current barrier layer is not formed, since p mold nitride semi-conductor layer has high resistivity compared with n mold nitride semi-conductor layer, when passing through the inside of p mold nitride semi-conductor layer, generally a current seldom spreads. Therefore, in the luminous layer which exists between p mold nitride semi-conductor layer and n mold nitride semi-conductor layer, a current can be concentrated on a low dislocation density field. Thereby, the nonluminescent recombination in a luminous layer can be controlled and the linearity of the internal quantum efficiency of the nitride semi-conductor LED and an I-L property can be improved.

[0013] As for a current barrier layer, it is desirable to form using the nitride semi-conductor which carries out the Schottky barrier to a metal electrode, for example,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ , ( $0 < x \leq 1$ ). Thereby, the Schottky barrier is formed between the metal electrode for p molds, and a current barrier layer, and the current which flows to a high dislocation density field can be intercepted. Bandgap energy ( $E_g$ ) becomes large, so that aluminum content is high, and it becomes easy to carry out the Schottky barrier of the  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  which constitutes a current barrier layer to the metal electrode for p molds. Therefore, from a viewpoint which forms the good Schottky barrier, it is so advantageous that aluminum content is high, and it is desirable to set up aluminum content ( $= x$ ) more greatly than 0.5.

[0014] Moreover, it is desirable to form the pn junction used as reverse bias between a current barrier layer and p mold nitride semi-conductor layer by using as n mold the conductivity type of the nitride semi-conductor which constitutes a current barrier layer. By the pn junction used as this reverse bias, the current which flows to a high dislocation density field can be controlled further. For example, in case  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  is grown up as a current barrier layer on p mold nitride semi-conductor layer, the pn junction used as a reverse bias can be formed by adding n mold dopants, such as silicon.

[0015] Moreover, instead of forming a current barrier layer with a nitride semi-conductor, the insulating oxide of  $\text{SiO}_2$  or  $\text{TiO}_2$  grade may be used, and a current barrier layer may be formed.

[0016] Although the substrate used for this invention will not be limited especially if a low dislocation density field and a high dislocation density field are the substrates which exist in a front face by turns, the nitride semi-conductor substrate formed by the ELOG grown method can be used for it, for example. Various approaches can be considered in an ELOG grown method. For example, if the mask layer of the shape of a periodic stripe, the shape of a grid, and an island-shape pattern is formed when performing ELOG growth using a mask pattern, a low dislocation density field and a high dislocation density field will appear by turns in the direction of a flat surface in the nitride semi-conductor layer which grew on it. A mask layer can be formed by a metal with a melting point of 1200 degrees C or more, silicon oxide, silicon nitride, titanium oxide, zirconium dioxides, or these multilayers.

[0017] Moreover, it may replace with a mask pattern and the nitride semi-conductor layer formed in the shape of a periodic stripe, the shape of a grid, and island shape may be formed. Also in this case, a low dislocation density field and a high dislocation density field appear by turns in the direction of a flat surface in the nitride semi-conductor layer which grew on it.

[0018]

[Embodiment of the Invention] It explains referring to a drawing about the gestalt of operation of this invention below. The member which attached the same sign in each drawing expresses the same or a corresponding member. Moreover, in the sectional view shown in drawing 1 -5, since a drawing is easy, hatching is omitted.

[0019] Gestalt 1 drawing 1 of operation is the typical sectional view showing an example of the nitride semi-conductor LED concerning this invention. On the substrate 16, the laminating of n type layer 18, a barrier layer 20, and the p type layer 22 is carried out one by one. Each of these layers consists of nitride semi-conductor  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x, 0 \leq y, x+y \leq 1$ ), may be single presentations or may carry out the laminating of two or more presentations. p type layer 22 and the barrier layer 20 are etched so that a part of n type layer 18 may be exposed, and n mold electrode 30 which changes from W/aluminum etc. to the exposure is formed. On the other hand, it is formed so that p mold electrode 26 of the translucency which changes from metal thin films, such as nickel/Au, to the whole surface mostly of p type layer 22 (= metal electrode) may carry out ohmic contact at p type layer 22. Moreover, p pad electrodes 28, such as Au for bondings, are formed on p mold electrode 26.

[0020] On the different-species substrates 10, such as sapphire, the stripe-like  $\text{SiO}_2$  mask 12 is used for a substrate 16, it carries out ELOG growth of the gallium nitride layer 14, and changes, and the high dislocation density field 32 and the low dislocation density field 34 exist in the front face by turns. In the ELOG growth substrate using a mask, the high dislocation density field 32 appears in the field (junction field 32b) which gallium nitride 14 comrades join mutually the field between masks 12 (window region 32a), and near the center of a mask 12 so that it may explain in full detail behind. As a drawing middle point line shows, the almost same dislocation density distribution as the front face of a substrate 16 exists in n type layer 18, the barrier layer 20, and p type layer 22 which carried out epitaxial growth on the substrate 16. In addition, in drawing 1, the field which attached hatching expresses the high dislocation density field in a substrate 16 and a barrier layer 20.

[0021] It is the upper part of the high dislocation density field 32, and the current barrier layer 24 is formed between p mold nitride semi-conductor layer and p mold electrode 26, and the role which restricts a current path is played so that the flowing current may concentrate a barrier layer 20 on the low dislocation density field 34. In the gestalt of this operation, in order to secure luminescence area widely, the current barrier layer 24 is formed only above window region 32a among two kinds of high dislocation density fields 32 mentioned above. the nitride semi-conductor in which the current barrier layer 24 carries out the Schottky barrier to p mold electrode 26 -- for example, -- non -- it consists of dope  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ), and the path of a current of flowing the inside of LED is restricted by forming the Schottky barrier between the translucency p mold electrodes 26.

[0022] Drawing 2 is the mimetic diagram showing the current path which flows the nitride semi-conductor light emitting diode in this invention. In addition, in drawing 2, the configuration of a high dislocation density field and a low dislocation density field is simplified compared with drawing 1. As shown in drawing, the current which flows toward n mold electrode 30 from p mold electrode 26 begins to flow from the low dislocation density field 34 in which the current barrier layer 24 is not formed, and results in n mold electrode 30 through p type layer 22, a barrier layer 20, and n type layer 18. Generally, since p mold nitride semi-conductor layer has several times as high resistivity as n mold nitride semi-conductor layer, when passing through the inside of p type layer 22, a current seldom spreads. In the case of a gallium nitride system compound semiconductor, this originates in the ratio of the resistivity of n mold and p mold being about 1:100 greatly. Therefore, as shown in drawing 2, also in a barrier layer

22, the effectiveness of the current path limit by the current barrier layer 24 is maintained, and a current concentrates it on the low dislocation density field 34. Thereby, since the nonluminescent recombination in a barrier layer 22 is controlled, the internal quantum efficiency of the nitride semiconductor LED improves, and the linearity of the I-L property in a high current region is maintained. [0023] A work function becomes large, so that aluminum content is high, and it becomes easy to carry out the Schottky barrier of the  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  which constitutes the current barrier layer 24 to metals which constitute a translucency p mold electrode, such as nickel or Au. Therefore, from a viewpoint which forms the good Schottky barrier, it is so advantageous that aluminum content is high, and it is desirable to set up aluminum content more greatly than 0.5. On the contrary, the maximum upper layer of p type layer 22 which touches the current barrier layer 24 is formed of GaN which needs to be easy to carry out ohmic junction with metals, such as nickel or Au, for example, does not contain aluminum. In addition, in order to prevent leakage of a current, as for the current barrier layer 24, it is advantageous that it is the most precise possible film, and it is desirable that it is the presentation to which it can grow epitaxially on p type layer 22.

[0024] Moreover, the thickness of the current barrier layer 22 which consists of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  needs to consider as sufficient thickness to control passage of tunnel current, and may be 100Å or more preferably. Moreover, since a crack will occur if it forms not much thickly when forming the current barrier layer 22 which consists of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0.5 < x$ ) on p type layer 22 which consists of GaN, it is desirable to form in 500Å or less preferably 0.1 micrometers or less.

[0025] moreover -- as the current barrier layer 24 -- non -- it may replace with dope  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  and n mold  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  which added n mold dopants, such as silicon, may be formed. By using the current barrier layer 24 as n mold nitride semi-conductor, the pn junction used as reverse bias can be formed between the current barrier layer 24 and p type layer 22, and the current which passes through the high dislocation density field 32 can be controlled still more effectively.

[0026] Moreover, as a current barrier layer 24, it may replace with a nitride semi-conductor and the insulating oxide of  $\text{SiO}_2$  or  $\text{TiO}_2$  grade may be formed.

[0027] Next, a substrate 16 is explained. Drawing 3 is the type section Fig. showing the manufacture approach of a substrate 16. After growing up a buffer layer (not shown) on silicon on sapphire 10, the undoping GaN layer 11 is grown up. A substrate 10 can use the substrate which consists of a different ingredient from the nitride semi-conductor known in order to grow up nitride semi-conductors, such as SiC and ZnO besides sapphire, a spinel, and GaAs.

[0028] Next, as shown in drawing 3 (a) after growth of this undoping GaN layer 11, a stripe-like photo mask is formed in the front face of this GaN layer 11, and the mask 12 which consists of  $\text{SiO}_2$  is formed. Although what kind of configurations, such as the shape of the shape of a stripe and a grid and island shape, are sufficient as a configuration of a mask 12, the direction which makes area of a mask 12 larger than the exposed part of the undoping GaN layer 11, i.e., the part in which the mask is not formed, (window part) is easy to grow up the GaN layer 14 with few crystal defects. As an ingredient of a mask 12, the metal which has the melting point of 1200 degrees C or more besides oxides, such as silicon oxide ( $\text{SiOX}$ ), silicon nitride ( $\text{SiXNY}$ ), titanium oxide ( $\text{TiOX}$ ), and a zirconium dioxide ( $\text{ZrOX}$ ), nitrides, and these multilayers, for example can be used. These mask ingredients also bear temperature with a growth temperature [ of a nitride semi-conductor ] of 600 degrees C - 1100 degrees C, and it has the property for a nitride semi-conductor not to grow up to be the front face, or to be hard to grow up.

[0029] As shown in drawing 3 (b) after forming a mask 12, undoping GaN14 is grown up. Although the desirable growth thickness of the GaN layer 14 to grow up changes also with the thickness of the mask 12 formed previously, and magnitude, it is grown up into sufficient thickness so that it may grow up to be also a longitudinal direction (direction perpendicular to the thickness direction) in the upper part of a mask 12 and the front face of a mask 12 may be covered. Thus, on the front face of the mask 12 which has the property in which a nitride semi-conductor cannot grow easily, if it manufactures by the technique of growing up the GaN layer 14 into a longitudinal direction, on a mask 12, the GaN layer 14 will not grow at first, but selective growth of the GaN layer 14 will be carried out on the undoping GaN layer 11 of a window part.

[0030] Then, if growth of the GaN layer 14 is continued as shown in drawing 3 (c), the GaN layer 14 will grow up to be a longitudinal direction, and it is connected in GaN layer 14 comrades which grew from the aperture which covered, and hung, went and adjoined on the mask 12, and will be in a condition as if the GaN layer grew on the mask 12. That is, the GaN layer 14 is grown up in a longitudinal direction through a mask 12 on a GaN layer.

[0031] Here, to the nitride semi-conductor which grows on a different-species substrate, very many

crystal defects occur by the mismatch of the lattice constant of a different-species substrate and a nitride semi-conductor, and this crystal defect advances under the nitride semi-conductor growth formed in the upper layer one by one to a lengthwise direction, and is transmitted to a front face. Since the GaN layer 14 grown up from the aperture which is not what grew directly and adjoins on a different-species substrate is connected during growth by growing up in a longitudinal direction on a mask 12, the number of the GaN layer 14 which grew in the longitudinal direction on the mask 12 on the other hand of crystal defects decreases very much compared with what grew directly from a different-species substrate. Therefore, the GaN layer 14 grown up in this way serves as a crystal with few rearrangements from a different-species substrate except for junction field 32b which the GaN layer 14 which grew up to be window region 32a and the longitudinal direction which grew directly joined mutually. Although there is a rearrangement of the undoping GaN layer 11 two or more  $10^{10}$ -/cm, the rearrangement in the low dislocation density field 34 of the GaN layer 14 by this approach can decrease two or less  $10^8$ -/cm.

[0032] In addition, when the gallium nitride layer 14 is formed in enough thick films, different-species substrate 10 grades other than gallium nitride layer 14 may be excised, and a gallium nitride simple substance may constitute a substrate 16.

[0033] Moreover, in this invention, a substrate 16 is not restricted to what was manufactured by the approach shown in drawing 3 that a low dislocation density field and a high dislocation density field should just be the substrates which appear by turns in a field. For example, the gallium nitride substrate of low dislocation density can be manufactured also by etching the gallium nitride system compound semiconductor layer which grew on different-species substrates, such as sapphire, in the shape of a stripe (or the shape of a grid, island shape), exposing silicon on sapphire partially, and growing up gallium nitride on this instead of forming SiO<sub>2</sub> mask. Since gallium nitride cannot grow epitaxially easily directly on silicon on sapphire, gallium nitride grows up to be a longitudinal direction by making a stripe-like gallium nitride layer into a growth origin. Therefore, the gallium nitride which grew on the exposed part of silicon on sapphire serves as low dislocation density.

[0034] Moreover, after growing up a gallium nitride system compound semiconductor layer on different-species substrates, such as sapphire, irregularity may be formed in the depth which does not expose a different-species substrate, and a substrate 16 may be manufactured by growing up gallium nitride on it. Periodic irregularity may be formed in the different-species substrate itself, such as sapphire, further again, gallium nitride may be grown up on it, and a substrate 16 may be manufactured.

[0035] In the gestalt of this operation, although LED of terrorism structure was explained to the double which carried out the laminating of n type layer 18, a barrier layer 20, and the p type layer 22, this invention is not restricted to this. For example, you may be LED of the pn junction structure which carried out the laminating of n mold nitride semi-conductor layer and the p mold nitride semi-conductor layer.

[0036] Gestalt 2 drawing 4 of operation is the sectional view showing the nitride semi-conductor LED concerning the gestalt 2 of operation of this invention. The nitride semi-conductor LED shown in drawing 4 is the same as the nitride semi-conductor [ in / except for the formation location of the current barrier layer 24 / the gestalt 1 of operation ] LED.

[0037] In the gestalt 1 of operation, the current barrier layer 24 was formed only above window region 32a among window region 32a which is two kinds of high dislocation density fields, and junction field 32b. In the gestalt of this operation, the current barrier layer 24 is further formed also above junction field 32b. Thereby, although luminescence area decreases a little, generating of the nonluminescent recombination in a barrier layer 20 can be controlled more effectively, and the linearity of internal quantum efficiency and an I-L property can be improved further.

[0038] Gestalt 3 drawing 5 of operation is the sectional view showing the nitride semi-conductor LED concerning the gestalt 3 of operation of this invention. The nitride semi-conductor LED shown in drawing 5 is the same as that of the gestalt 1 of operation, or 2 except for the configuration of a substrate 16, and the formation location of the current barrier layer 24.

[0039] In the gestalt of this operation, a nitride semi-conductor layer with more small dislocation density is grown up by performing ELOG growth twice during manufacture of a substrate 16. First, by the approach same with having explained using drawing 3, 1st ELOG growth is performed using 1st mask 12a, and 1st gallium nitride layer 14a is grown up. Then, 2nd mask 12b of the same configuration as 1st mask 12a is formed above the window region formed of the 1st ELOG growth, and 2nd ELOG growth is performed. Although two kinds of high dislocation density fields, window region and a junction field, exist in 2nd gallium nitride layer 14b formed of the 2nd ELOG growth like the gestalt 1 of operation, or 2, the



dislocation density of a low dislocation density field is reduced compared with the gestalt 1 of operation, or 2.

[0040] In this way, the component structure of light emitting diode is formed on the obtained substrate 16, and the current barrier layer 24 is formed like the gestalt 2 of operation corresponding to all high dislocation density fields. By this configuration, generating of the nonluminescent recombination in a barrier layer 20 can be controlled much more effectively, and the linearity of internal quantum efficiency and an I-L property can be improved further again.

[0041]

[Example] Although the example which is the gestalt of 1 operation of this invention is shown below, this invention is not limited to this. An example is explained based on drawing 1 and drawing 3.

[0042] On the silicon on sapphire 10 which makes a principal plane example (manufacture of substrate 16) 2inchphi, and C (0001) side, at 500 degrees C, after growing up the buffer layer (not shown) which consists of GaN by 200A thickness, temperature is made into 1050 degrees C and the undoping GaN layer 11 is grown up by 5-micrometer thickness. In addition, as for this thickness to grow up, it is desirable for it not to be limited to 5 micrometers, to make it grow up by thickness thicker than a buffer layer, and to adjust to thickness 10 micrometers or less. Next, a wafer is picked out from a reaction container after growth of this undoping GaN layer 11, a stripe-like photo mask is formed in the front face of this GaN layer, and the mask 12 which consists of SiO<sub>2</sub> with a stripe width of face [ of 15 micrometers ] and a stripe spacing (window part) of 5 micrometers with a CVD system is formed by 0.1-micrometer thickness. A wafer is again set in a reaction container after forming a mask 12, and undoping GaN14 is grown up into 10-micrometer thickness at 1050 degrees C. Although the crystal defects of the undoping GaN layer 11 were two or more 1010-/cm, the crystal defect of the GaN layer 14 was two or less 106-/cm.

[0043] (n type layer 18) Next, n type layer 18 which consists of n mold contact layer, the 1st multilayers layer of the n side, and the 2nd multilayers layer of the n side is formed. First, at 1050 degrees C, TMG and ammonia gas are used for material gas, similarly, silane gas is used for impurity gas, and the n side contact layer which consists of GaN which doped Si  $4.5 \times 10^{18}$ -/cm<sup>3</sup> is grown up by 2.25-micrometer thickness. Next, the GaN layer which the undoping GaN layer was grown up by 75A thickness, added silane gas at this temperature continuously by the stop and 1050 degrees C using TMG and ammonia gas only in silane gas, and doped Si  $4.5 \times 10^{18}$ -/cm<sup>3</sup> is grown up by 25A thickness. Thus, the pair which consists of an A horizon which consists of a 75A undoping GaN layer, and a 25A B horizon which has an Si dope GaN layer is grown up. And the 25-layer laminating of the pair is carried out, it considers as 2500A thickness, and the 1st multilayers layer of the n side which consists of multilayers of a superstructure is grown up.

[0044] Next, 40A of 2nd nitride semi-conductor layer which consists of undoping GaN is grown up at the same temperature, then temperature is made into 800 degrees C, and 20A of 1st nitride semi-conductor layer which consists of undoping In<sub>0.13</sub>Ga<sub>0.87</sub>N is grown up using TMG, TMI, and ammonia. and these actuation -- repeating -- the -- the laminating of every ten layers is carried out by turns in the 1st order of 2+, and the 2nd multilayers layer of the n side which consists of multilayers of \*\*\*\*\* the 2nd nitride semi-conductor layer which becomes the last from GaN in 40A \*\*\*\* is grown up by 640A thickness.

[0045] (Barrier layer 20) Next, the barrier layer which consists of undoping GaN is grown up by 250A thickness, temperature is continuously made into 800 degrees C, and the well layer which consists of undoping In<sub>0.3</sub>Ga<sub>0.7</sub>N using TMG, TMI, and ammonia is grown up by 30A thickness. And obstruction + well + obstruction + well .... In the order of + obstruction, a barrier layer is made into seven layers, the laminating of the well layer is made six layers and by turns, and the barrier layer 20 which consists of multiplex quantum well structure of the 1930A of the total thickness is grown up.

[0046] (p type layer 22) Next, p type layer 22 which consists of the p side multilayers cladding layer and the p side contact layer is formed. First, TMG, TMA, ammonia, and Cp<sub>2</sub>Mg (magnesium cyclopentadienyl) are used at the temperature of 1050 degrees C. Grow up the 3rd nitride semi-conductor layer which consists of p mold aluminum<sub>0.2</sub>Ga<sub>0.8</sub>N which doped Mg  $1 \times 10^{20}$ -/cm<sup>3</sup> by 40A thickness, and temperature is continuously made into 800 degrees C. The 4th nitride semi-conductor layer which consists of In<sub>0.03</sub>Ga<sub>0.97</sub>N which doped Mg  $1 \times 10^{20}$ -/cm<sup>3</sup> using TMG, TMI, ammonia, and Cp<sub>2</sub>Mg is grown up by 25A thickness. and these actuation -- repeating -- the -- the p side multilayers cladding layer which consists of multilayers of a superstructure into which the laminating of every five layers was carried out by turns in the 4th order of 3+, and the 3rd nitride semi-conductor layer was finally grown up by 40A thickness is grown up by 365A thickness. Then, the p side contact layer which consists of a p

mold.GaN which doped Mg  $1 \times 10^{20}$  /cm<sup>3</sup> at 1050 degrees C using TMG, ammonia, and Cp<sub>2</sub>Mg is grown up by 700A thickness.

[0047] Temperature is lowered to a room temperature after reaction termination, annealing is further performed for a wafer at 700 degrees C in a reaction container among nitrogen-gas-atmosphere mind, and p type layer is further formed into low resistance.

[0048] (Current barrier layer 24) Next, TMG, ammonia gas, and TMA are used for material gas at 1050 degrees C, and the current barrier layer 24 which consists of non-dope Al<sub>x</sub>Ga<sub>1-x</sub>N is grown up by 200A thickness. It leaves the location which corresponds between the masks of SiO<sub>2</sub> mask 12, and etching removal of the Al<sub>x</sub>Ga<sub>1-x</sub>N layer 24 is carried out at a stripe configuration.

[0049] (p mold electrode 26, n mold electrode 30) Next, a wafer is picked out from a reaction container, the mask of a predetermined configuration is formed in a front face, RIE (reactive ion etching) equipment performs etching from p type layer 22 side, and as shown in drawing 1, the front face of the n side contact layer in n type layer 18 is exposed.

[0050] p type layer 22 and the current barrier layer 24 in the maximum upper layer are covered after etching, and p pad electrode 28 which consists of Au for bondings on the p electrode 26 and the p electrode 26 of the translucency which contains nickel and Au of 200A of thickness mostly on the whole surface of p type layer 22 is formed by 0.5-micrometer thickness. On the other hand, the n electrode 30 containing W and aluminum was formed in the front face of the n side contact layer exposed by etching, and it considered as the LED component.

[0051] If the point which does not form the point using the substrate explained below instead of and the current barrier layer 24 was removed, the LED component was produced by the same approach as an example. [ the substrate 16 which carried out example ELOG growth of a comparison ]

[0052] (Substrate) The base which consists of sapphire (C side) is set in the reaction container of MOVPE, hydrogen raises the temperature of a substrate to 1050 degrees C with a sink, and a substrate is cleaned. Then, temperature is lowered to 510 degrees C, hydrogen is used for carrier gas, ammonia and TMG (trimethylgallium) are used for material gas, and the buffer layer which consists of GaN on a substrate 16 is grown up by about 150A thickness. Only TMG is stopped after buffer layer growth and temperature is raised to 1050 degrees C. If it becomes 1050 degrees C, similarly TMG and ammonia gas will be used for material gas, and an undoping GaN layer will be grown up by 1.5-micrometer thickness.

[0053] The LED component obtained in the example and the example of a comparison showed 470nm authentic blue luminescence in 20mA of forward current. Drawing 6 is a graph which shows the result of having measured the current-optical output property, about LED obtained in the example and the example of a comparison. As shown in drawing, in LED of the example of a comparison, linearity worsened [ the forward current value ] by about 25mA or more, and the optical output reached saturation in about 100mA. On the other hand, in LED of an example, the forward current value was maintaining good linearity also in 75mA, and the optical output reached saturation in about 125mA. Moreover, when external differential quantum efficiency in case a forward current value is 100mA was measured, by LED of an example, it was improving to 20 - 22% to having been about 15 - 18% in LED of the example of a comparison.

[0054]

[Effect of the Invention] According to this invention, the nitride semi-conductor light emitting diode which forms an LED chip in a large area in which two or more both fields are included respectively using the nitride semi-conductor substrate with which a low dislocation density field and a high dislocation density field exist in a short period by turns, has sufficient luminescence area since the current was centralized on the low dislocation density field by the current barrier layer prepared in p electrode bottom, and was excellent in quantum efficiency or linearity can be offered.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the type section Fig. showing the nitride semi-conductor LED concerning the gestalt 1 of operation of this invention.

[Drawing 2] Drawing 2 is the mimetic diagram showing the current path in the nitride semi-conductor LED concerning this invention.

[Drawing 3] (c) is outline process drawing showing the manufacture approach of the nitride semi-conductor substrate used for the nitride semi-conductor LED concerning this invention from drawing 3 (a).

[Drawing 4] Drawing 4 is the type section Fig. showing the nitride semi-conductor LED concerning the gestalt 2 of operation of this invention.

[Drawing 5] Drawing 5 is the type section Fig. showing the nitride semi-conductor LED concerning the gestalt 3 of operation of this invention.

[Drawing 6] Drawing 6 is a graph which shows the current-optical output property of the nitride semi-conductor LED of an example and the example of a comparison.

[Description of Notations]

- 10 ... Silicon on sapphire
- 12 ... SiO<sub>2</sub> mask,
- 14 ... Gallium nitride layer,
- 16 ... Substrate,
- 18 ... n type layer,
- 20 ... Barrier layer,
- 22 ... p type layer,
- 24 ... Current barrier layer,
- 26 ... p mold electrode (= metal electrode),
- 28 ... p pad,
- 30 ... n electrode,
- 32 ... Quantity dislocation density field,
- 34 ... Low dislocation density field.

---

[Translation done.]